CMOS単電源
レール to レール入出力オペアンプ

OP250/OP450

特長

単電源動作：2.7 Vから6 Vまで
高い出力電流：±100 mA
低い電源電流：アンプ1基当たり800 µA
広い帯域幅：1 MHz
スルーレート：2.2 V/µs
位相反転なし
低い入力電流
ユニティ・ゲインが安定

アプリケーション

バッテリ動作の計装
医療
リモート・センサ
ASIC入力または出力のアンプ
自動車産業

概要

OP250はデュアル、OP450はクワッドのCMOS単電源動作アンプで、レール to レールの入力と出力を特長とします。いずれも＋2.7 Vから＋5 Vまでの単電源での動作が保証されています。

これらのアンプの入力バイアス電流は、非常に低くなっています。出力は、100 mAの負荷をドライブする能力があり、容量性負荷に対して安定しています。電源電流は、アンプ1基当たり1 mA未満です。

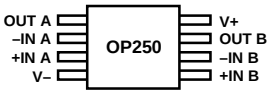
これらのアンプを使用したアプリケーションには、ポータブル医療装置、安全や保全関連装置、そして高出力インピーダンスでトランスデューサとインターフェースする装置があります。

入力と出力でレール to レールのスイングが得られるので、単電源システムによる多段階フィルタの構成や高い信号対雑音比を維持する設計が可能になります。

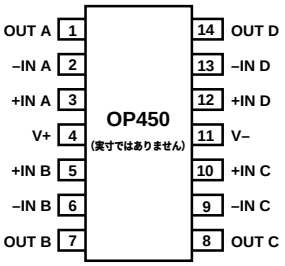
OP250とOP450の定格温度は、産業温度範囲（−40°Cから＋125°C）の全域にわたります。デュアル・アンプのOP250には、8ピンのTSSOPとSO表面実装パッケージが用意されています。一方、クワッド・アンプのOP450には、14ピンのTSSOP（薄型シュリンク・スモール・アウトライン）と14ピンのナローSOパッケージが用意されています。

ピン構成
8ピン・ナロー・ボディSO
（SO-8）

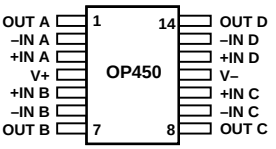
8ピンTSSOP
（RU-8）



14ピン・ナロー・ボディSO
（N-14）



14ピンTSSOP
（RU-14）



アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
新大阪第２森ビル

OP250/OP450—仕様

電気的特性（特に指定のない限り、V_S＝＋3.0 V、T_A＝＋25℃、V_{CM}＝1.5 Vとします）

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	V_{OS}				8	mV
		−40℃＜T_A＜＋125℃			20	mV
入力バイアス電流	I_B			2	40	pA
		−40℃＜T_A＜＋85℃			60	pA
		−40℃＜T_A＜＋125℃			500	pA
入力オフセット電流	I_{OS}			0.5	25	pA
		−40℃＜T_A＜＋125℃			60	pA
入力電圧レンジ			0		3	V
同相電圧除去比	CMRR	V_{CM}＝0 V ～ 3 V	40	55		dB
		−40℃＜T_A＜＋125℃	35			dB
大信号電圧ゲイン	A_{VO}	R_L＝2 kΩ, V_O＝0.3 V ～ 2.7 V		800		V/mV
オフセット電圧ドリフト	$\Delta V_{OS}/\Delta T$			10		μV/℃
バイアス電流ドリフト	$\Delta I_B/\Delta T$			1.8		pA/℃
オフセット電流ドリフト	$\Delta I_{OS}/\Delta T$			0.07		pA/℃
出力特性						
出力電圧ハイ	V_{OH}	I_L＝100 μA		2.99		V
		I_L＝10 mA	2.85	2.94		V
		−40℃ ～ ＋125℃	2.8			V
出力電圧ロー	V_{OL}	I_L＝100 μA		1		mV
		I_L＝10 mA		55	100	mV
		−40℃ ～ ＋125℃			125	mV
出力電流	I_{OUT}			100		mA
開ループ・インピーダンス	Z_{OUT}	f＝1 MHz, A_V＝1		180		Ω
電源						
電源除去比	PSRR	V_S＝2.7 V ～ 6 V	60	80		dB
		−40℃＜T_A＜＋125℃	55			dB
電源電流／アンプ1基	I_{SY}	V_O＝0 V		700	1,000	μA
		−40℃＜T_A＜＋125℃			1,250	μA
動的性能						
スルーレート	SR	R_L＝10 kΩ		1.9		V/μs
セトリング時間	t_S	0.01%まで		4		μs
ゲイン帯域幅積	GBP			0.95		MHz
位相マージン	Φ_O			46		degrees
チャンネル分離	CS	f＝1 kHz, R_L＝10 kΩ		100		dB
ノイズ性能						
電圧ノイズ	e_n p-p	0.1 Hzから10 Hzまで		10		μV p-p
電圧ノイズ密度	e_n	f＝1 kHz		45		nV/$\sqrt{Hz}$
		f＝10 kHz		30		nV/$\sqrt{Hz}$
電流ノイズ密度	i_n	f＝1 kHz		0.05		pA/$\sqrt{Hz}$

仕様は予告なしに変更することがあります。

電気的特性（特に指定のない限り、V_S＝＋5.0 V、T_A＝＋25℃、V_{CM}＝2.5 Vとします）

パラメータ	記号	条件	Min	Typ	Max	単位
入力特性						
オフセット電圧	V_{OS}			2	7.5	mV
		−40℃＜T_A＜＋125℃			20	mV
入力バイアス電流	I_B			2	40	pA
		−40℃＜T_A＜＋85℃			60	pA
		−40℃＜T_A＜＋125℃			500	pA
入力オフセット電流	I_{OS}			0.5	25	pA
		−40℃＜T_A＜＋125℃			60	pA
入力電圧レンジ			0		5	V
同相電圧除去比	CMRR	V_{CM}＝0 V ～ 5 V	45	60		dB
		−40℃＜T_A＜＋125℃	40			dB
大信号電圧ゲイン	A_{VO}	R_L＝2 kΩ, V_O＝0.3 V ～ 4.7 V		1,000		V/mV
オフセット電圧ドリフト	$\Delta V_{OS}/\Delta T$	−40℃＜T_A＜＋125℃		10		μV/℃
バイアス電流ドリフト	$\Delta I_B/\Delta T$			1.8		pA/℃
オフセット電流ドリフト	$\Delta I_{OS}/\Delta T$			0.07		pA/℃
出力特性						
出力電圧ハイ	V_{OH}	I_L＝100 μA		4.99		V
		I_L＝10 mA	4.9	4.94		V
		−40℃～＋125℃				mV
出力電圧ロー	V_{OL}	I_L＝100 μA		1		V
		I_L＝10 mA		40	100	mV
		−40℃ ～ ＋125℃			125	mV
出力電流	I_{OUT}			±100		mA
開ループ・インピーダンス	Z_{OUT}	f＝1 MHz, A_V＝1		200		Ω
電源						
電源除去比	PSRR	V_S＝2.7 V ～ 6 V	60	80		dB
		−40℃＜T_A＜＋125℃	55			dB
電源電流／アンプ1基	I_{SY}	V_O＝0 V		800	1,250	μA
		−40℃＜T_A＜＋125℃		750	1,750	μA
動的性能						
スルーレート	SR	R_L＝10 kΩ		2.2		V/μs
フルパワー帯域幅	BW_P	1%歪み		100		kHz
セトリング時間	t_S	0.01%まで		3		μs
ゲイン帯域幅積	GBP			1		MHz
位相マージン	Φ_O			48		degrees
チャンネル分離	CS	f＝1 kHz, R_L＝10 kΩ		100		dB
ノイズ性能						
電圧ノイズ	e_n p-p	0.1 Hzから10 Hzまで		10		μV p-p
電圧ノイズ密度	e_n	f＝1 kHz		45		nV/√Hz
		f＝10 kHz		30		nV/√Hz
電流ノイズ密度	i_n	f＝1 kHz		0.05		pA/√Hz

仕様は予告なしに変更することがあります。

絶対最大定格[1, 2]

電源電圧 …… ＋6 V
入力電圧[2] …… GNDからV_Sまで
同相入力電圧 …… ±6 V
出力の短絡
　GNDに落ちる
　　までの期間 …… ディレーティング曲線が観察される
ESD耐性 …… 2000 V
保管温度範囲　S、RUパッケージ …… −65℃から＋150℃まで
動作温度範囲　OP250G/OP450G …… −40℃から＋125℃まで
接合温度範囲　S、RUパッケージ …… −65℃から＋150℃まで
リード温度範囲（ハンダ付け60秒） …… ＋300℃

注
1 特に示さない限り、絶対最大定格には＋25℃を適用します。
2 上記の絶対最大定格を超えるストレスは、デバイスに恒久的なダメージを招くおそれがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

パッケージ・タイプ	θ_{JA}*	θ_{JC}	単位
8ピンSOIC(S)	158	43	℃/W
8ピンTSSOP(RU)	240	43	℃/W
14ピンSOIC(N)	120	36	℃/W
14ピンTSSOP(RU)	180	35	℃/W

* θ_{JA}は、最悪ケースを条件にした定格です。つまりθ_{JA}は、表面実装パッケージ用の回路基板にハンダ付けした場合の定格です。

オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション
OP250GS	−40℃から＋125℃まで	8ピンSOIC	SO-8
OP250GRU	−40℃から＋125℃まで	8ピンTSSOP	RU-8
OP450GS	−40℃から＋125℃まで	14ピンSOIC	N-14
OP450GRU	−40℃から＋125℃まで	14ピンTSSOP	RU-14

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このOP250/OP450には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

代表的な特性—OP250/OP450

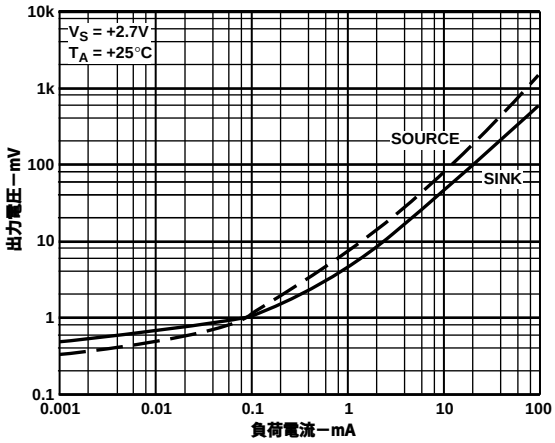


図1．電源レールへの出力電圧と負荷電流の関係

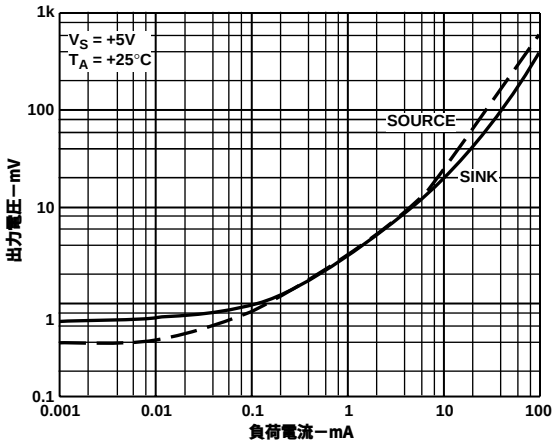


図2．電源レールへの出力電圧と負荷電流の関係

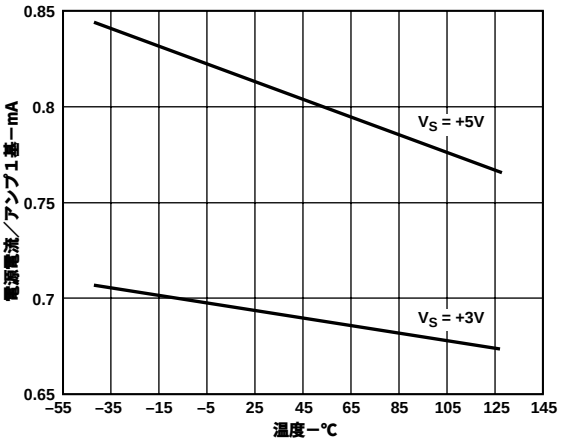


図3．アンプ1基当たりの電源電流と温度の関係

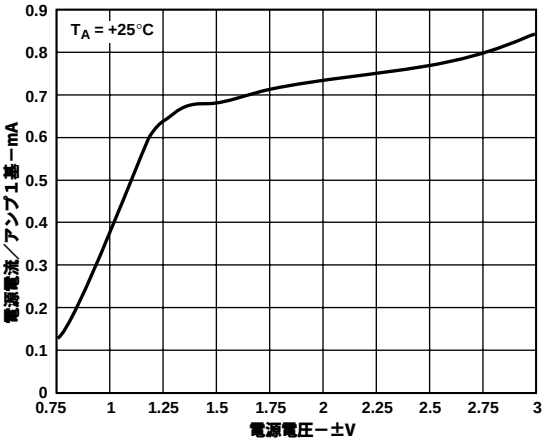


図4．アンプ1基当たりの電源電流と電源電圧の関係

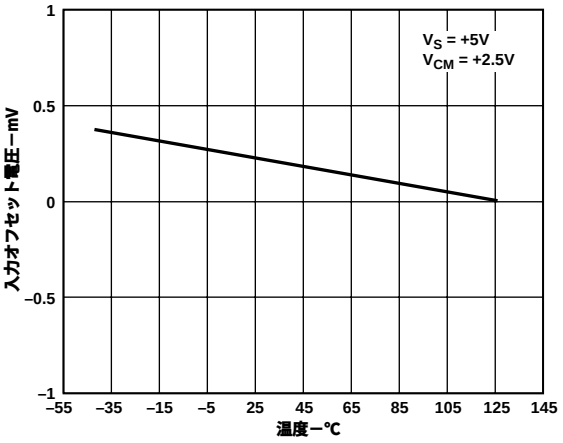


図5．入力オフセット電圧と温度の関係

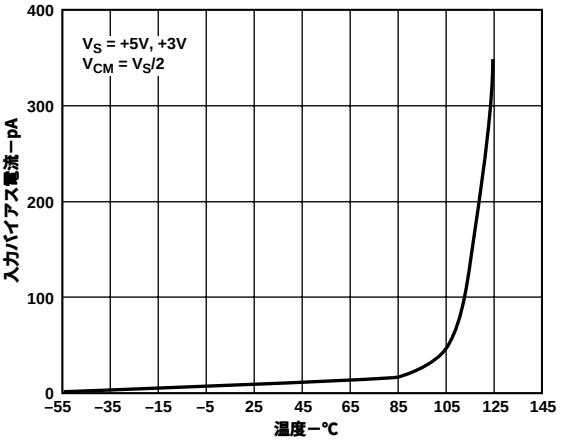


図6．入力バイアス電流と温度の関係

OP250/OP450—代表的な特性

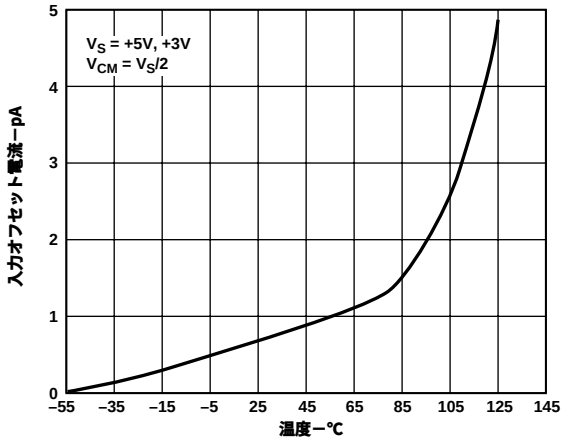


図7．入力オフセット電流と温度の関係

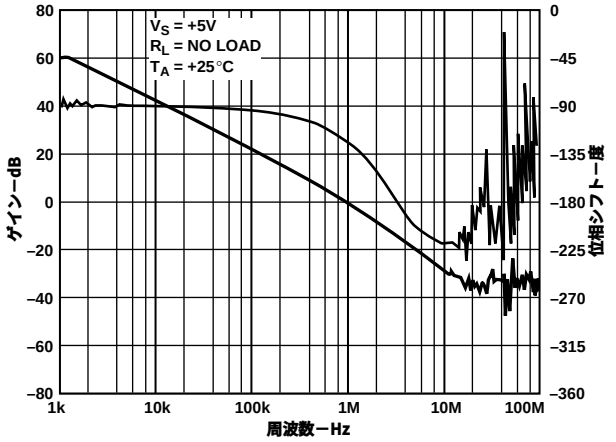


図10．開ループ・ゲインと位相

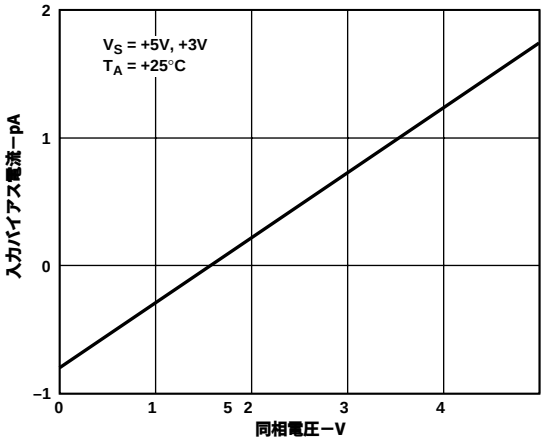


図8．入力バイアス電流と同相電圧の関係

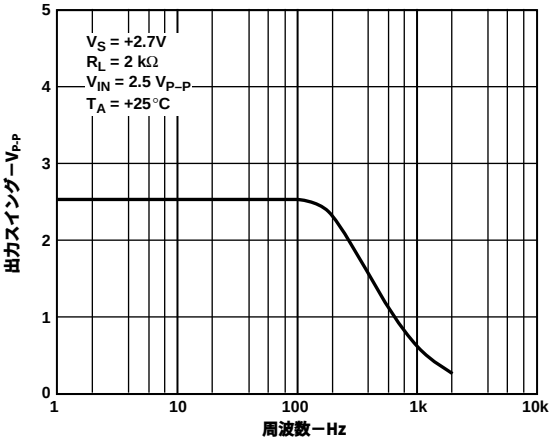


図11．閉ループ出力電圧のスイングと周波数の関係

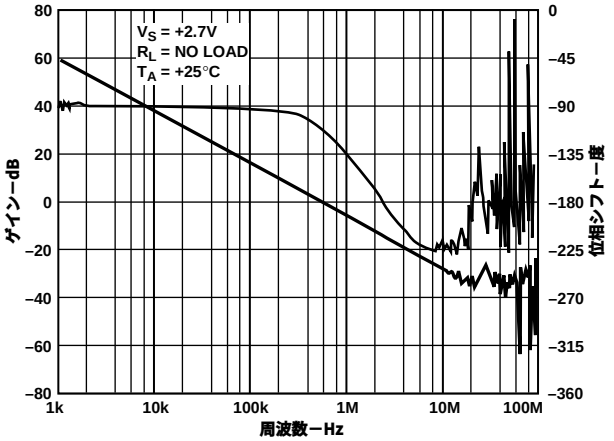


図9．開ループ・ゲインと位相

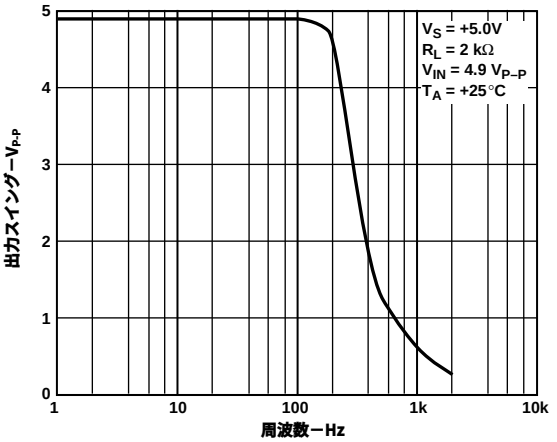


図12．閉ループ出力電圧のスイングと周波数の関係

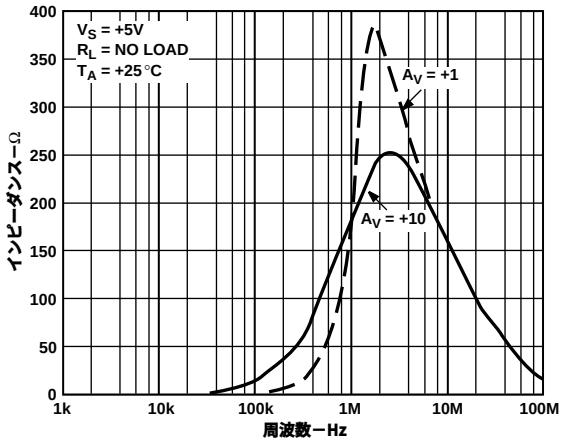


図13．閉ループ出力インピーダンスと周波数の関係

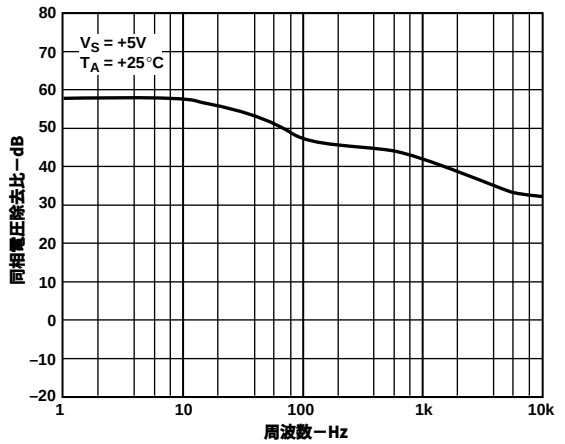


図14．同相電圧除去比と周波数の関係

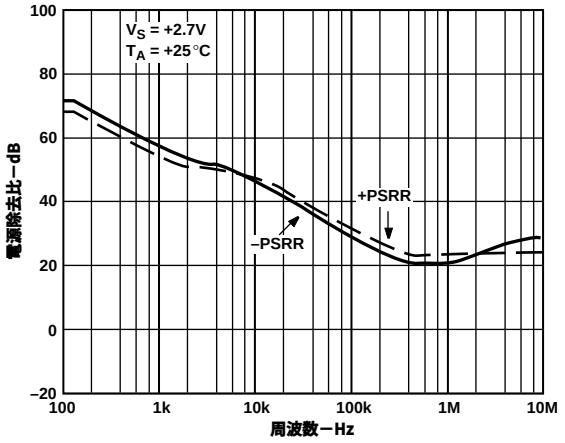


図15．電源除去比と周波数の関係

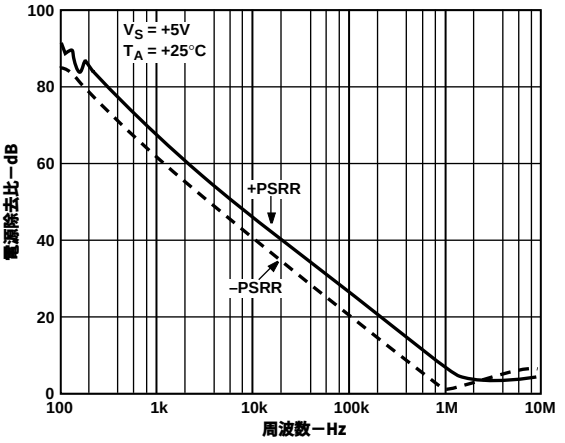


図16．電源除去比と周波数の関係

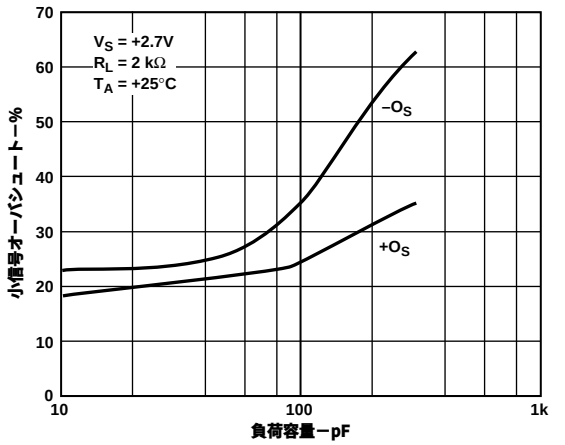


図17．小信号オーバシュートと負荷容量の関係

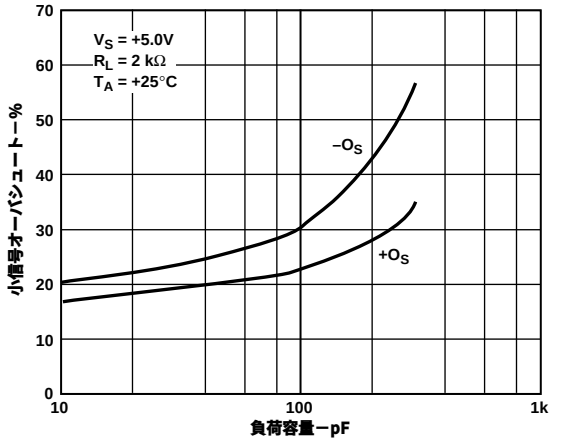


図18．小信号オーバシュートと負荷容量の関係

OP250/OP450—代表的な特性

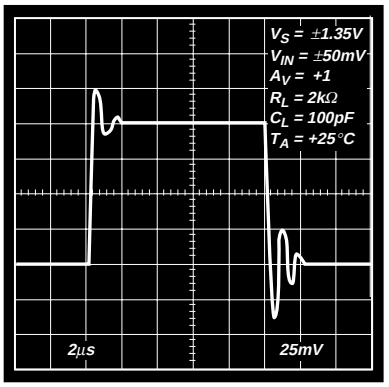


図19．小信号過渡応答

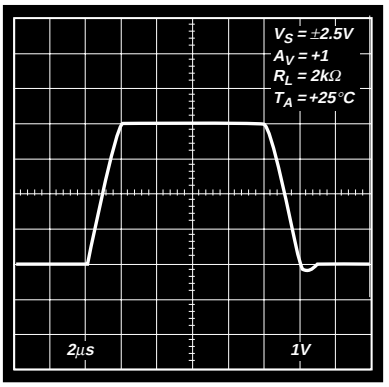


図22．大信号過渡応答

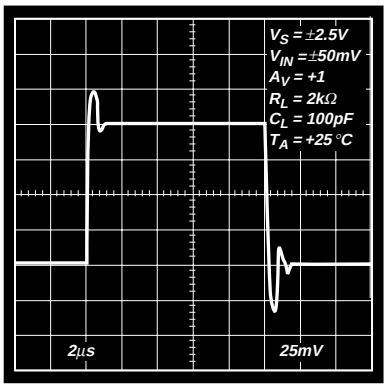


図20．小信号過渡応答

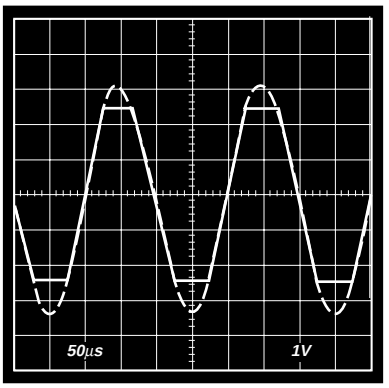


図23．位相反転なし

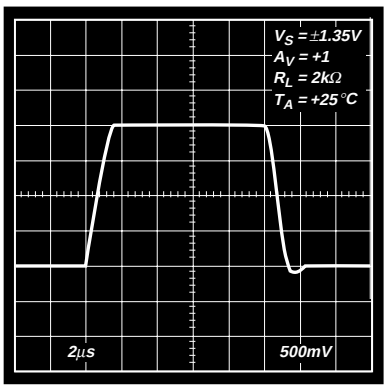


図21．大信号過渡応答

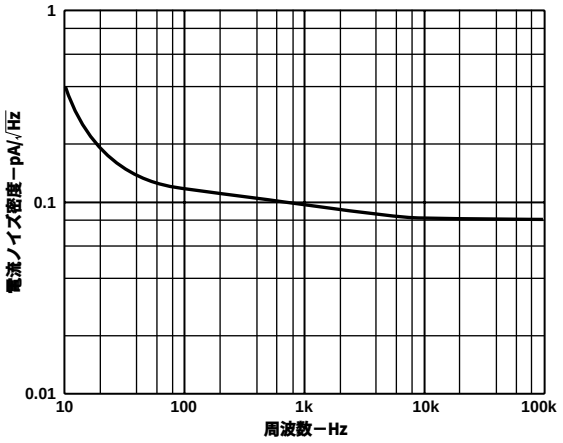


図24．電流ノイズ密度と周波数の関係

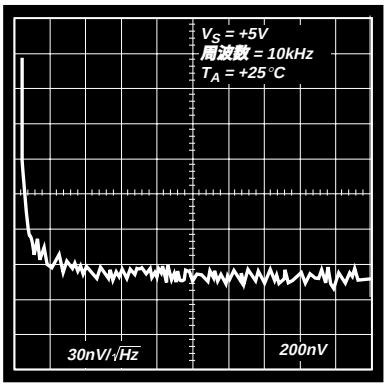


図25．電圧ノイズ密度と周波数の関係

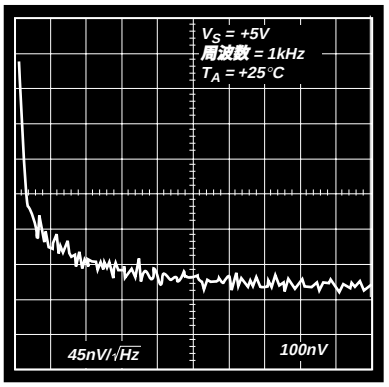


図26．電圧ノイズ密度と周波数の関係

動作原理

OPx50ファミリのアンプは、低価格高出力電流ドライブ用に設計されたCMOSレール to レール入出力の単電源アンプです。こういった特長を持ったOPx50は、マルチメディアや通信等のアプリケーションに理想的です。

図27は、OPx50アンプの簡略化した回路図です。nチャンネルのペア（M1—M2）とpチャンネルのペア（M3—M4）から構成される2組の入力差動ペアは、レール to レール入力の同相レンジを提供します。入力差動ペアの出力は、複合折返しカスコード段で合成され、第2の差動ペアのゲイン段への入力に印加されます。第2のゲイン段の出力は、レール to レール出力段のゲート電圧になります。

レール to レール出力段は、相補共通ソース構成のM5とM6からなります。他のレール to レール出力のアンプと同様に、出力段のゲイン、つまりアンプの開ループ・ゲインは、負荷抵抗に依存します。また、最大出力電圧のスイングは負荷電流に正比例します。電源レールに対する最大出力電圧の差分、つまりドロップアウト電圧として知られる電圧は、OPx50の出力トランジスタのオン・チャンネル抵抗によって決定されます。この出力ドロップアウト電圧は、式1および式2から求まります。

入力電圧保護

簡略化した回路図には示していませんが、各入力と各電源レールの間にはESD保護ダイオードが接続されています。これらのダイオードは、通常は逆バイアスされていますが、いずれかの入力電圧がそれぞれの電源レールより0.6 Vを超えて高くなるとオンになります。この状態が発生したとき、入力電流を±5 mA以内に制限する必要があります。この制限は、入力に抵抗を直列接続することにより可能です。最小抵抗値は次式によって表わされます。

$$R_{IN} \geqq \frac{V_{IN,\ MAX}}{5\ mA} \qquad (1)$$

出力位相反転

OPx50は、入力電圧がデバイスの電源電圧以内のとき、出力電圧の位相反転を生じません。しかし、デバイスの入力の一方でも電源レールより0.6 Vを超えて高くなると出力に位相反転を生じる可能性があります。これは、ESD保護ダイオードが順方向バイアスされるためで、これによってデバイスの入力端子の極性が切換るからです。

入力電圧が電源電圧を超える可能性があるアプリケーションでは「入力の過電圧保護」のセクションで推奨しているテクニックを適用した方がよいでしょう。

出力短絡保護

高品質のレール to レール性能を達成するため、OPx50ファミリの出力には出力短絡保護が備わっていません。これらのアンプは、最大250 mAまでの出力電流のシンクまたはソースに対して設計されていますが、出力とグラウンドを直接短絡すると、過大な電圧あるいは電流が印加されたときにデバイスの損傷や破壊を招くことがあります。出力段を保護する場合には、最大出力電流を±250 mAに制限します。

図28に示したように、アンプ出力に抵抗を直列に接続することにより、出力電流を制限することができます。R_Xの最小値は、次式から求めることができます。

$$R_X \geqq \frac{V_{SY}}{250\ mA} \qquad (2)$$

＋5 Vの単電源の場合、R_Xを少なくとも20Ωにする必要があります。このR_Xは、フィードバック・ループの内側になることから、V_{OUT}に影響しません。R_Xを用いることによる代償は、出力電流負荷が大きいときに出力電圧スイングがわずかに小さくなることです。またR_Xには、アンプの出力インピーダンスを高くする効果があり、デバイスの出力インピーダンスをR_Oとするとき、その値は$R_O + R_X$になります。

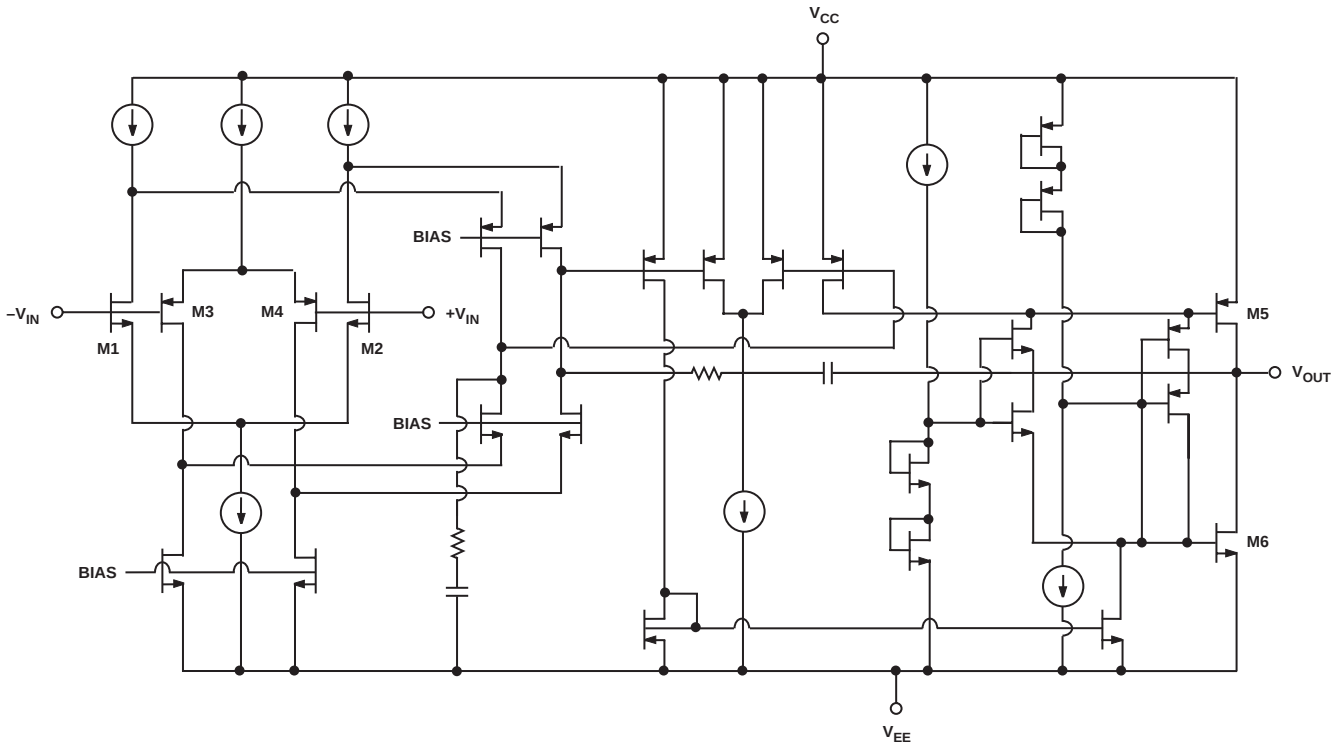


図27．簡略化したOPx50の回路図

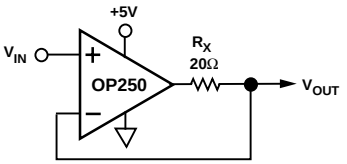


図28．出力短絡保護

消費電力

OPx50ファミリのアンプには最大250 mAの負荷電流を供給する能力がありますが、デバイスの最大接合温度を超えないように適切な処置を行うことが必要です。接合温度は、次式から求まります。

$$T_J = P_{DISS} \times \theta_{JA} + T_A \quad (3)$$

これにおいて：T_J＝OPx50の接合温度

P_{DISS}＝OPx50の消費電力

θ_{JA}＝OPx50におけるパッケージの周囲温度に対する接合温度の温度抵抗

T_A＝回路の周囲温度

最大接合温度は、すべてのアプリケーションで＋150℃以下に制限しなければなりません。この接合温度を超えると、デバイスに回復不能な故障がもたらされる可能性があります。出力電圧と出力電流が同相の場合、たとえば純粋な抵抗性負荷の場合、OPx50による消費電力は、次の式で表わされます。

$$P_{DISS} = I_{LOAD} \times (V_{SY} - V_{OUT}) \quad (4)$$

これにおいて：I_{LOAD}＝OPx50の出力負荷電流

V_{SY}＝OPx50の電源電圧

V_{OUT}＝出力電圧

検討しているパッケージについて、デバイスの消費電力を算出し、それに対応する温度抵抗を使用すれば、式3からアプリケーションに許容される最大周囲温度を求めることができます。

オーバードライブのリカバリ

アンプのオーバードライブまたは過負荷のリカバリ時間とは、出力電圧が飽和状態から定格出力電圧に戻るまでに要する時間を言います。このリカバリ時間は、大きな過渡事象の発生後の迅速な回復が必須となるアプリケーションでは、重要な要素となることがあります。OPx50のリカバリ時間を評価するためには、図29に示した回路を使用します。図30と図31は、それぞれ正または負のレールからのOP250の過負荷リカバリを示します。このアンプの場合、出力過負荷からのリカバリに約0.5 msを要します。

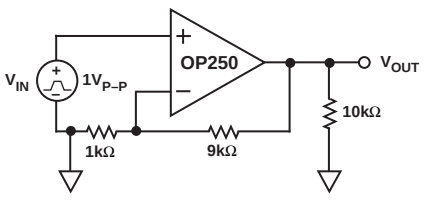


図29．過負荷リカバリ時間のテスト回路

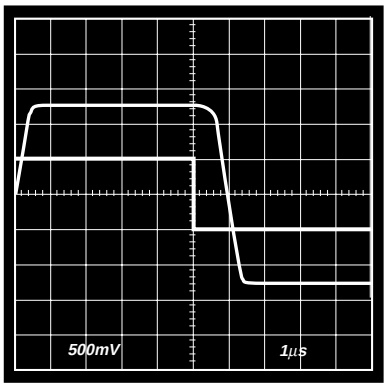


図30．正のレールからの飽和リカバリ

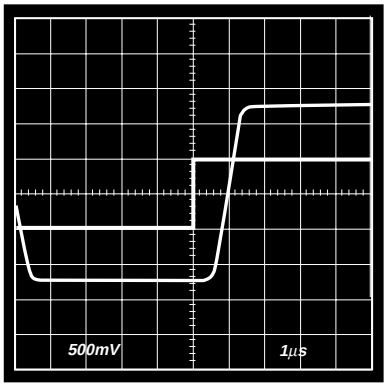


図31．負のレールからの飽和リカバリ

容量性負荷

OPx50ファミリのアンプは、容量性負荷の駆動に適しています。このデバイスは、大きな容量性負荷の条件下でもユニティ・ゲインを安定して維持します。しかしながら、帯域幅を犠牲にすることなく、容量性負荷が発生することはありません。図32は、各種の容量性負荷がある場合のOPx50のユニティ・ゲイン帯域幅を示したグラフです。

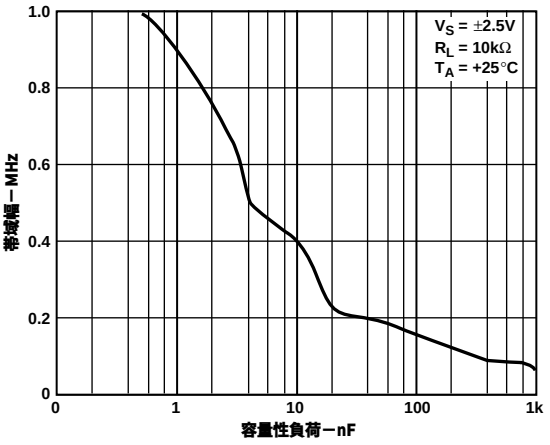


図32．ユニティ・ゲイン帯域幅と容量性負荷の関係

他のすべてのアンプと同様に、容量性負荷が増加するとオーバーシュートとリンギングが増加します。図33に示すように、容量性負

荷と並列に出力とグラウンドの間に、スナバとして知られる直列RC回路を接続し、出力応答を改善することができます。出力に適正なスナバ回路を用いると、帯域幅の増加こそありませんが、出力のオーバーシュートが劇的に減少します。表Ⅰは、所定の容量性負荷に対するスナバ回路の値の一例をまとめた表です。実用上は、アプリケーションで用いる正確な容量性負荷をベースにしてこれらの値の最良値が経験的に決定されます。

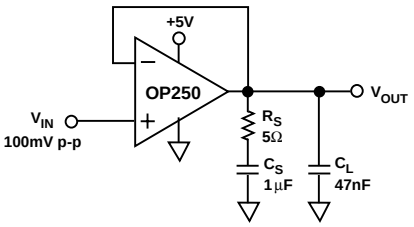


図33．スナバ回路の使用を示す回路図

表Ⅰ．大容量性負荷に対するスナバ回路

負荷容量（C_L）	スナバ回路（RS，CS）
1 nF	60Ω，30 nF
10 nF	20Ω，1μF
100 nF	3Ω，10μF

図34は、1 nFの容量性負荷を伴うユニティ・ゲイン構成におけるOP250の出力を示します。図35は、スナバ回路の追加によって改善された出力応答を示します。

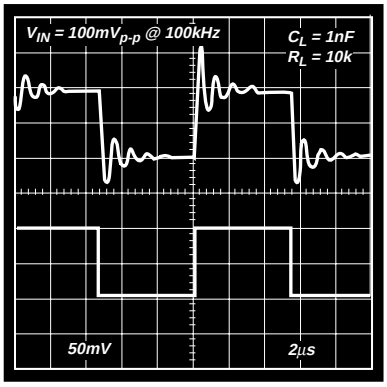


図34．スナバ回路を使用しないときのOP250の出力

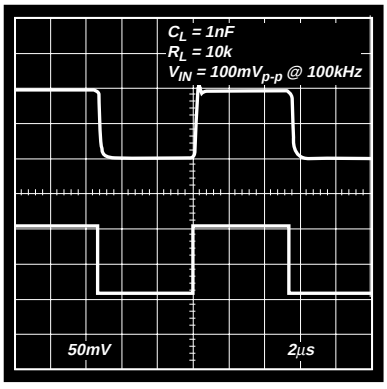


図35．スナバ回路を使用したときのOP250の出力

オペアンプを使用して容量性負荷をドライブする方法についてより詳しい情報が必要な場合は、1997年出版の「Analog Dialogue（アナログ・ダイアログ）」誌Vol. 31、No. 2に掲載された「Ask the Applications Engineer（アプリケーション・エンジニアに聞く）」という記事を参照して下さい。

単電源差動ライン・ドライバ

図36に示した回路図は、600Ωの負荷を駆動できる歪み率が0.1%未満の単電源差動ライン・ドライバです。この設計ではOP450を使用して、完全平衡型トランス・ベースの製品の性能を再現しています。ただしこの設計の場合は、使用するボード・スペースがはるかに小さく、しかも低い歪みを維持し、DCに至るまで動作が可能です。トランス・ベースの設計と同様に、回路ゲイン「1」を変えることなく、出力の一方をグラウンドに短絡して不平衡ライン・ドライバとすることができます。

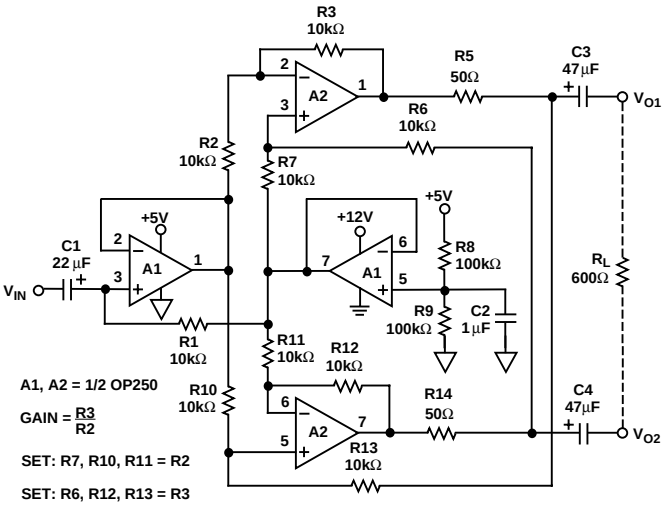


図36．低ノイズ、単電源差動ライン・ドライバ

R8とR9は、同相出力電圧を電源電圧の1/2に等しい電圧に設定します。C1は、入力信号の結合に使用されていますが、入力のDC電圧が電源電圧の1/2に等しいときは省略可能です。

この回路は、必要に応じて追加のゲインが得られるように構成することができます。回路のゲインは次式で表わされます。

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{R3}{R2} \qquad (5)$$

これにおいて：$V_{OUT} = V_{O1} - V_{O2}$、
R2＝R7＝R10＝R11、かつ
R3＝R6＝R12＝R13

マルチメディア用ヘッドホン・アンプ

OP250は駆動電流が大きいことから、図37に示すように、これを使用して優れたヘッドホン・アンプを構成することができます。低い電源での動作と、レール to レールの入力および出力により、＋5 Vの電源での出力信号のスイングが最大になります。図37では、アンプ入力が電源電圧の中央値、つまりこのアプリケーションの場合は2.5 Vでバイアスされています。10μFのキャパシタは、電源ノイズによるオーディオ信号の擾乱を防止します。

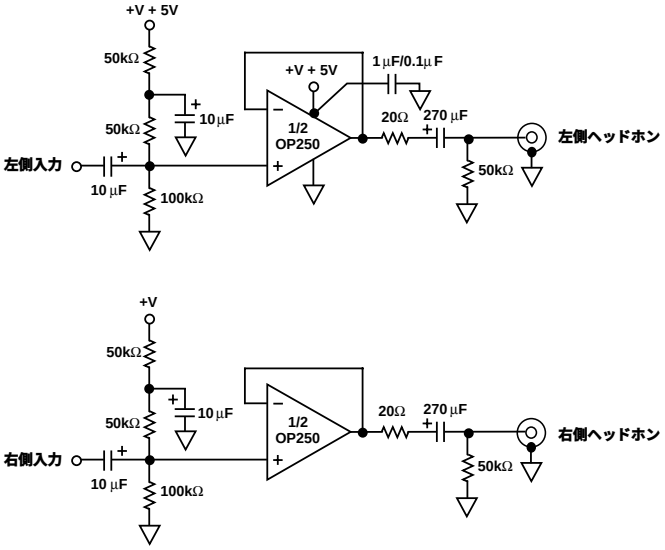


図37．単電源ステレオ・ヘッドホン・ドライバ

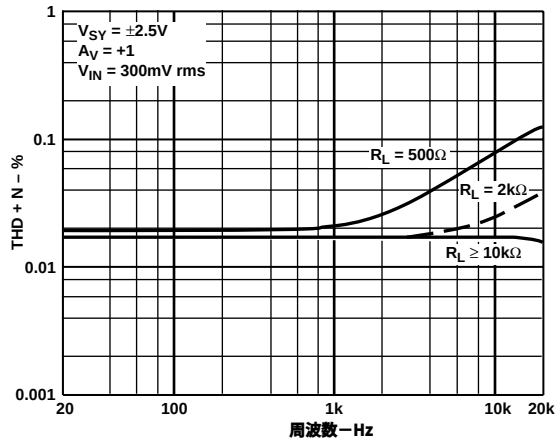


図38．THDと周波数の関係

ヘッドホン・ドライバ

オーディオ信号は、10μFのキャパシタを経由してそれぞれの入力に印加されます。この大きな容量は、ハイ・パス・フィルタのカットオフ周波数を20 Hz未満に抑えてオーディオの完全な忠実度を維持します。すでに入力が適正にDCバイアスされていれば、結合キャパシタとバイアス抵抗の必要はありません。出力側では、アンプとヘッドホン・スピーカとの結合に270μFのキャパシタが使用されています。この容量は、入力キャパシタよりはるかに大きくなっていますが、これはヘッドホンのインピーダンスが低いことに起因します。ヘッドホンのインピーダンスは、32Ωから600Ωまたはそれ以上の範囲にわたります。出力キャパシタと直列に挿入されている20Ωの抵抗は、偶発的に出力がグラウンドと短絡された場合にオペアンプ出力を保護します。

モデム用ダイレクト・アクセス装置

図39は、600Ωシステム用の＋5 V送信／受信電話回線インターフェースを示しています。ここでは、差動方式を用いてトランス結合された600Ωラインでの全二重送信が可能です。アンプA1は、モデム出力の必要条件に適合するように調整できるゲインを提供します。A1とA2は、ともに単電源でトランスに最大可能信号を印加できるように構成されています。OP450は大きな駆動電流出力が得られ、ドロップアウト電圧が低いことから、＋5 Vの電源を使用して約4.5 V p-pの最大信号を600Ω送信システムに供給することができます。アンプA3は、(1) 受信信号による送信信号の干渉が防止され、かつ (2) A4による増幅のための受信信号が送信ラインから抽出されるという2つの理由から差動アンプ構成になっています。アンプA4のゲインは、A1と同じ態様で調整可能で、モデムの入力信号に求められる条件に適合させることができます。標準的な抵抗値であれば、SIP（シングル・インライン・パッケージ）形式の抵抗配列が使用できます。これと専有面積の小さい14ピンTSSOPまたはSOICのOP450の組み合わせにより回路がコンパクトになり、コスト効果の高い製品が得られます。

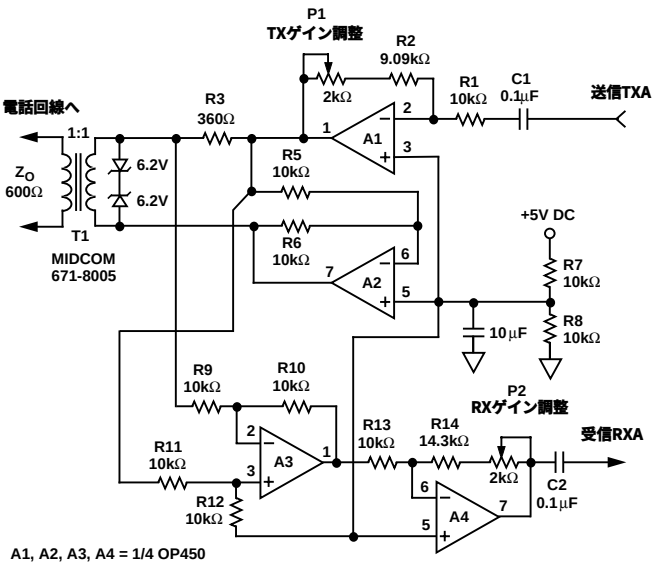


図39．モデム用単電源ダイレクト・アクセス装置

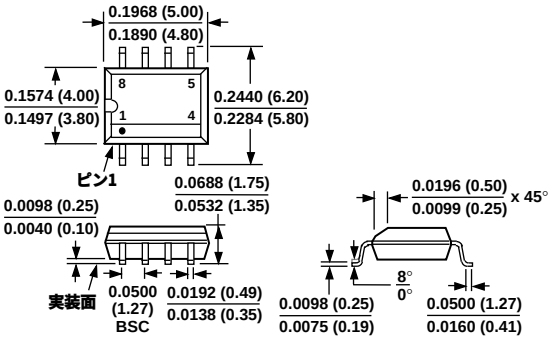
OP250/OP450

```
* OP250 SPICEマクロ・モデルの代表値
* 10/97、Ver. 1
* TAM / ADSC
*
* ノード割当て
*                  非反転入力
*                  |    反転入力
*                  |    |    正の電源
*                  |    |    |    負の電源
*                  |    |    |    |    出力
*                  |    |    |    |    |
*                  |    |    |    |    |
.SUBCKT OP250     1    2    99   50   45
*
* 入力段
*
M1  4  3  6 6 MNIN L=2u W=66u
M2  5  2  6 6 MNIN L=2u W=66u
M3  7  3  9 9 MPIN L=2u W=66u
M4  8  2  9 9 MPIN L=2u W=66u
RD1   99  4 5E3
RD2   99  5 5E3
RD3    7 50 5E3
RD4    8 50 5E3
VCM1  10 50 -.3
VCM2  99 11 -.3
D1    10  6 DX
D2     9 11 DX
EOS    3  1 POLY(3) (61,98) (73,98) (81,0) 3E-3
+1 1 1
IOS    1  2 .25E-12
IBIAS1  6 50 700E-6
IBIAS2 99  9 700E-6
*
* CMRR＝60 dB、20kHzでゼロ
*
ECM1 60 98 POLY(2) (1,98) (2,98) 0 .5 .5
RCM1 60 61 159.2E3
RCM2 61 98 159
CCM1 60 61 50E-12
*
* PSRR＝90dB、200Hzでゼロ
*
RPS1 70 0 1E6
RPS2 71 0 1E6
CPS1 99 70 1E-5
CPS2 50 71 1E-5
EPSY 98 72 POLY(2) (70,0) (0,71) 0 1 1
RPS3 72 73 1.59E6
CPS3 72 73 500E-12
RPS4 73 98 50
*
* 内蔵電圧リファレンス
*
RSY1 99 91 100E3
RSY2 50 90 100E3
VSN1 91 90 DC 0
EREF 98  0 (90,0) 1
GSY  99 50 POLY(1) (99,50) -1.81E-3 1.5E-5
*
* 電圧ノイズ・リファレンス＝30 nV/rt(Hz)
*
VN1 80 0 0
RN1 80 0 16.45E-3
HN  81 0 VN1 30
RN2 81 0 1
*
* 1.25MHzの極性
*
G2 98 20 POLY(2) (4,5) (7,8) 0 5E-5 5E-5
R2 20 98 10E3
C2 20 98 12.7E-12
*
* ゲイン段
*
G1 98 30 (20,98) 3.5E-4
R1 30 98 6.25E6
CF 30 45 135E-12
D4 31 99 DX
D5 50 32 DX
V1 31 30 0.7
V2 30 32 0.7
*
* 出力段
*
M5  45 41 99 99 MFOUT L=2u W=6660u
M6  45 42 50 50 MNOUT L=2u W=6660u
EO1 99 41 POLY(1) (98,30) .9232 1
EO2 42 50 POLY(1) (30,98) .8914 1
*
* モデル
*
.MODEL MMIN  NMOS(LEVEL=2,VTO=0.75,
+KP=20E-6,CGSO=0,KF=2.5E-31,AF=1)
.MODEL MPIN  PMOS(LEVEL=2,VTO=-0.75,
+KE=20E-6,CGSO=0,KF=2.5E-31,AF=1)
.MODEL MNOUT NMOS(LEVEL=2,VTO=0.75,
+KP=30E-6,LAMBDA=0.04,CGSO=0)
.MODEL MPOUT PMOS(LEVEL=2,VTO=-0.75,
+KP=20E-6,LAMBDA=0.04,CGSO=0)
.MODEL DX D(IS=1E-16)
.ENDS OP250
```

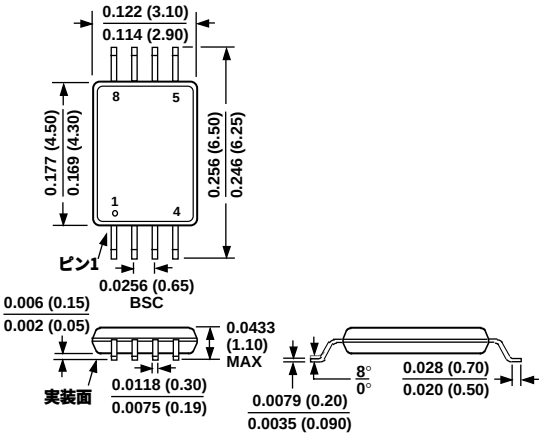
外形寸法

サイズはインチと（mm）で示します。

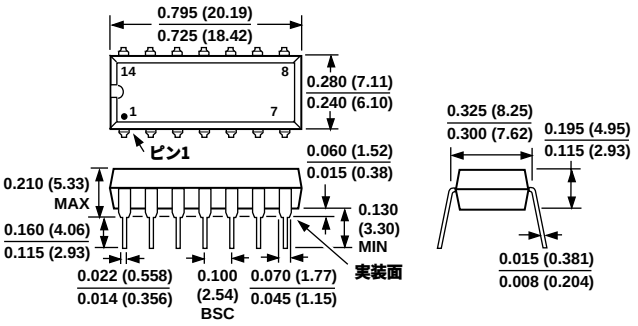
8ピンSOIC
（SO-8）



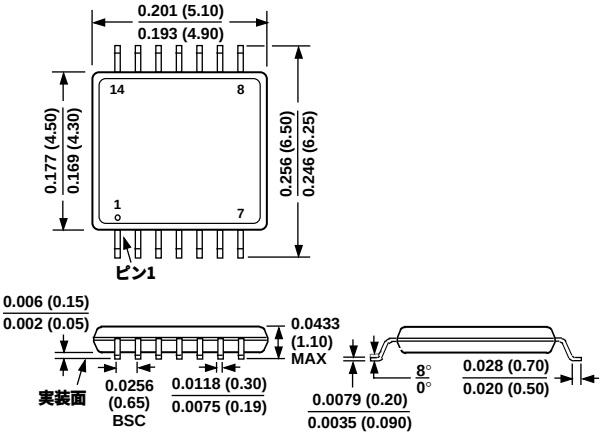
8ピンのTSSOP
（RU-8）



14ピン・プラスチックDIP
（N-14）



14ピンのTSSOP
（RU-14）



D0966-2.7-4/99.1A

PRINTED IN JAPAN